

Partial translation of JP 2-29779 A

...omitted...

[Problems to Be Solved by the Invention]

However, since there are as many as 640×400 display dots, for example, and sustain pulses with the same phase are applied to column electrodes X and row electrodes Y, respectively, the peak value of a discharge current given after the sustain pulse rises becomes larger as shown in Fig. 11, resulting in generation of negative spike noise in the sustain voltage (power supply voltage) V_s for use in producing a sustain pulse. Thus, this noise is generated also in a sustain pulse voltage, so that the increment for a minimum discharge sustain voltage V_{sm} becomes larger than that for the discharge starting voltage V_f , that is, the margin of sustain voltage V_s becomes smaller. This results in a disadvantage that discharge cells are liable to erroneously operate in relation to variation in the characteristics of the discharge cells.

Further, there has been another disadvantage that since each discharge cell is a capacitive load, a spike-like large displacement current flows at the rising of the sustain pulse to generate noise in a shift register, etc. used in a write/erase control circuit, which causes a malfunction. This malfunction also occurs due to the above-described discharge current.

In view of the foregoing problems, an object of the present invention is to provide a plasma display panel

driving method and a circuit thereof capable of preventing a malfunction caused by a sustain pulse.

[Means for Solving the Problems and Function thereof]

(1) In order to achieve this object, in a plasma display panel driving method according to the present invention, at least either row electrodes or column electrodes are divided in a plurality of groups, and the rise time of sustain pulses applied to the electrodes in each group is shifted for each group.

This causes a shift in the peak time point of a discharge current for each group, resulting in a smaller peak value of an overall discharge current.

This makes a margin of a sustain voltage larger, which can prevent the malfunction of discharge cells in relation to variations in the characteristics of the discharge cells.

In addition, this can prevent a malfunction of a shift register, etc. susceptible to noise.

(2) The above shift time is preferably not more than 0.3 μ s because a quasi-erase pulse is generated between any adjacent groups of electrodes if the shift time is made excessively longer with respect to those adjacent groups.

(3) A drive circuit for implementing the foregoing method comprises the following two elements:

[1] a sustain circuit provided for each group of row electrodes or column electrodes divided in a plurality of groups to supply a common sustain pulse to each electrode in each group in response to a control pulse supplied to an input terminal; and

[2] a delay circuit connected between the input terminals of any adjacent sustain circuits for the row electrodes or column electrodes.

With respect to the row electrodes or column electrodes, if the control pulse is supplied to the input terminal of one of the sustain circuits, then the control pulses sequentially delayed through the delay circuits are supplied to the input terminals of the other respective sustain circuits.

(4) In order that the above drive circuit be configured with semiconductor integrated circuits, one semiconductor integrated circuit includes said one sustain circuit corresponding to said one group, and said one delay circuit with its input terminal connected to the input terminal of the sustain circuit, wherein the input terminal A of the sustain circuit and an output terminal B of the delay circuit serve as external terminals of the semiconductor integrated circuit.

The above drive circuit is configured by sequentially cascade-connecting the output terminal B of one semiconductor integrated circuit to the input terminal A of another semiconductor integrated circuit.

(5) In another plasma display driving method according to the present invention, the rise time of sustain pulses applied to a row electrode and a column electrode is set to 0.1 to 0.3 μ s.

Conventionally, it has been considered that the rise time of the sustain pulse be preferably shorter because if the rise of the sustain pulse is slow, discharge is induced

in the course of the rise to prevent sufficient discharge. However, if the rise time is set to 0.3 μ s or less, discharge is induced after the rise of the sustain pulse, so that sufficient discharge is carried out to prevent the narrowing of a sustain voltage margin. If the rise time is set to 0.1 μ s or more, the rise of the sustain pulse becomes slower, so that the peak value of a displacement current flowing through the electrodes becomes smaller, thereby capable of preventing the malfunction of a shift register, etc. susceptible to noise.

[Embodiments]

The embodiments of the present invention will now be described based on the drawings.

(1) First Embodiment

Fig. 1 shows the structure of a main portion of a memory type plasma display panel driving circuit.

This plasma display panel is structured as shown in Fig. 8, which includes n linear column electrodes X₁ to X_n and m linear row electrodes Y₁ to Y_m. The column electrodes and row electrodes are arranged in respective directions intersecting at right angles on different planes, and n x m, e.g., 540 x 400 discharge cells are formed. The column electrodes are divided into N groups: a first column electrode group GX₁, a second column electrode group GX₂ ... an N-th column electrode group GX_N, each group of which is composed of a set of four adjacent column electrodes (actually 160 electrodes, for example).

All terminals of each of the column electrode groups are connected in common to an output terminal of each of

sustain circuits 31, 32, ... 3N. Each of the sustain circuits 31 to 3N outputs a single sustain pulse of 100 V, for example, in response to a single sustain control pulse of 5 V. Delay circuits 41, 42, ... 4(N-1) whose input terminals are on the sides of the sustain circuits 31, 32, ... 3(N-1), respectively, are each connected between inputs of adjacent sustain circuits.

Note that a write drive circuit and an erase drive circuit are not shown in Fig. 1.

In the above structure, with a periodical sustain control pulse applied to the input terminal of the sustain circuit 31, sustain control pulses that are each sequentially delayed by time t_d by the delay circuits 41 to 4(N-1) are applied to the input terminals of sustain circuits 32 to 3n, respectively. Accordingly, the column electrode groups GX1, GX2, ... are supplied with sustain pulses whose rise times differ by t_d with respect to their adjacent groups as shown in Fig. 2. Thus, the peak time points of a displacement current and a discharge current flowing through the column electrode groups GX1 to GXN are shifted by time t_d with respect to adjacent groups. This causes the displacement current and the discharge current flowing through all of the column electrodes to attain extremely smaller peak values than those in the conventional example.

The shift time t_d is preferably 0.3 μ s or less since a considerably long shift time t_d for adjacent groups may cause production of a quasi-erase pulse across electrodes of the adjacent groups.

The same is applied to the row electrodes. The row electrodes Y₁ to Y_M are divided into M groups: a first row electrode group GY₁, a second row electrode group GY₂, ... an M-th row electrode group GY_M, each group of which is composed of a set of four adjacent row electrodes (actually 200 electrodes, for example). All terminals of each of the row electrode groups are connected in common to an output terminal of each of sustain circuits 5₁, 5₂, ... 5_M, and delay circuits 6₁ to 6(M-1) are each connected between input terminals of adjacent sustain circuits.

Fig. 3 shows the relationship between the number of divided groups of column electrodes and row electrodes and a sustain voltage margin in a plasma display with 540 x 400 dots. With reference to Fig. 3, (Number of divided groups) = (Number of divided row electrodes) = (Number of divided column electrodes). The sustain voltage margin indicates the difference between a discharge starting voltage V_f for starting discharge when voltage is applied to a discharge cell where no writing is performed, and a minimum discharge sustain voltage V_{sm} for sustaining discharge by applying a sustain pulse to a discharge cell where writing is performed. Since these voltages V_f and V_{sm} vary for each discharge cell, a narrow sustain voltage margin may cause malfunction due to variation of a power supply voltage, etc.

As shown in Fig. 3, it is found that a sufficient margin is obtained when the number of divided groups is 2 or more. If the number of divided groups is too large, the structure becomes complicated. Therefore, the number of divided groups is preferably 2 to 3. Further, the division

number of this extent makes the peak value of a discharge current sufficiently smaller, thus preventing malfunction of a shift register, etc. susceptible to noise.

(2) Second Embodiment

Fig. 4 shows the structure of a main portion of a memory type plasma display panel driving circuit. While this second embodiment is identical to Fig. 1 with respect to its circuit per se, this driving circuit is designed as follows to include semiconductor integrated circuits.

That is, a sustain circuit 31 and a delay circuit 41 are both incorporated in a single semiconductor integrated circuit 71. The sustain circuit 31 and delay circuit 41 have their input terminals connected in common to an external input terminal 71a, and the delay circuit 41 has its output terminal connected to an external output terminal 71b.

This sustain circuit 31 includes a level shifter 31a, a PNP transistor 31b and an NPN transistor 31c with their respective bases connected to output terminals of the level shifter 31a. The PNP transistor 31b has its emitter connected to a sustain voltage power supply terminal while the NPN transistor 31c has its emitter grounded, and the PNP transistor 31b and NPN transistor 31c have their respective collectors connected in common to an external output terminal 71c. This external output terminal 71c is connected to a column electrode X1.

With one sustain control pulse applied to the level shifter 31a, one switching pulse is first applied to the PNP transistor 31b, and then one switching pulse is applied to

the NPN transistor 31c, so that one sustain pulse as shown in Fig. 4 is derived at the external output terminal 71c.

A semiconductor integrated circuit 72 has the same configuration as the semiconductor integrated circuit 71. Accordingly, constituent elements of the semiconductor integrated circuit 72 that correspond to the constituent elements 31a to 31c, 41, 71a to 71c of the semiconductor integrated circuit 71 are denoted with symbols 32a to 32c, 42, 72a to 72c, respectively, and thus a description thereof will not be given.

The output terminal 71b of the semiconductor integrated circuit 71 is connected in cascade to an input terminal 72a of the semiconductor integrated circuit 72. The other semiconductor integrated circuits not shown have the same cascade connection and the same structure as that shown in Fig. 1.

Each of the semiconductor integrated circuits 71, 72, ... incorporates a drive circuit for producing a write pulse and an ease pulse, a shift register for applying a data signal to the drive circuit, etc.

(3) Third Embodiment

Fig. 5 shows a sustain circuit for a discharge cell 11. In this sustain circuit 31A, a diode 81 is connected in parallel between the emitter and the collector of the PNP transistor 31b, and a diode 82 and a capacitor 83 are connected in parallel between the emitter and the collector of the NPN transistor 31c, in addition to the sustain circuit 32 of Fig. 4. The diodes 81 and 82 serve to prevent the potential of the column electrode X1 from being not

lower than a sustain voltage V_s nor higher than 0 V. A sustain circuit 51A connected to the row electrode Y1 also has the same structure as that of the sustain circuit 31A and is indicated in one box in Fig. 5. The rest of the structure shown in Fig. 5 is the same as that shown in Fig. 1.

With a sustain control pulse applied to the level shifter 31a of the sustain circuit 31A in the above structure, a sustain pulse is applied to the column electrode X1; however, since the capacitor 83 is connected in parallel to the discharge cell 11, a displacement current is distributed to not only the column electrode X1 but also the capacitor 83. This makes a rise time t_r of the sustain pulse become longer than conventional as shown in Fig. 6, thus preventing the generation of noise.

Fig. 7 shows the relationship between the sustain pulse rise time t_r and the sustain voltage margin. In the relation $t_r > 0.3 \mu s$, discharge is induced in the course of the rise of the sustain pulse, so that the sustain voltage margin becomes narrow. Alternatively, in the relation $t_r < 0.1 \mu s$, this relation is not preferable because noise is generated by the sharp rise of the sustain pulse, thus causing malfunction of the above-described shift register, etc. Accordingly, a preferable range for the sustain pulse rise time t_r is $0.1 \mu s < t_r < 0.3 \mu s$.

Although it may also be considered that the capacitor 83 may be replaced with a resistor connected in series to the column electrode X1 to make a slow rise of the sustain pulse, this is not preferable because a current flowing

through this resistor causes a voltage drop and a decrease of the sustain voltage, thus narrowing the sustain voltage margin shown in Fig. 7.

[Effects of the Invention]

As has been described in the forgoing, in the driving method and the driving circuit of plasma display panel according to the present invention, at least either the row electrodes or the column electrodes are divided into a plurality of groups, each group of which is supplied with a sustain pulse whose rise time is shifted for each group. This causes a shift in the peak time point of the discharge current for each group and a decrease in the peak value of the overall discharge current, and allows a broader margin for the sustain voltage. This leads to such excellent effects as to prevent malfunction of the discharge cells in relation to variations in the characteristics of the discharge cells and to prevent malfunction of the shift register, etc. susceptible to noise.

In another plasma display panel driving method according to the present invention, the rise time of the sustain pulses applied to the row electrodes and column electrodes is set to 0.1 to 0.3 μ s. This enables a decrease in the peak value of the displacement current flowing through the electrodes without narrowing the sustain voltage margin, thus leading to such an effect as to prevent malfunction of the shift register, etc. susceptible to noise.

4. Brief Description of the Drawings

Figs. 1 to 3 relate to a first embodiment of the

present invention, wherein

Fig. 1 is a diagram of a main part of a driving circuit for a memory type plasma display panel;

Fig. 2 is a time chart of sustain pulses applied to column electrodes GX1 to GX3 shown in Fig. 1; and

Fig. 3 is a diagram showing the relationship between the number of divided groups of electrodes and a sustain voltage margin.

Fig. 4 is a diagram of a main part of a driving circuit for a memory type plasma display panel according to a second embodiment of the present invention.

Figs. 5 to 7 relate to a third embodiment of the present invention, wherein

Fig. 5 is a sustain circuit diagram for a cell 11;

Fig. 6 is a waveform diagram of sustain pulses and a discharge emission pulse for the circuit shown in Fig. 5; and

Fig. 7 is a diagram showing the relationship between a sustain pulse rise time and a sustain voltage margin.

Figs. 8 to 11 relate to a conventional example, wherein

Fig. 8 is a cross-sectional view of a memory type plasma display panel;

Fig. 9 is a diagram showing regions of discharge cells formed between column electrodes X1, X2 and row electrodes Y1, Y2;

Fig. 10 is a time chart of drive pulses applied to the electrodes shown in Fig. 9 and drive pulses applied between the electrodes of the discharge cells; and

Fig. 11 is a waveform diagram for use in explaining
disadvantages of the conventional example.

...omitted...

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-029779

(43)Date of publication of application : 31.01.1990

(51)Int.CI.

G09G 3/28

(21)Application number : 63-180955

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.07.1988

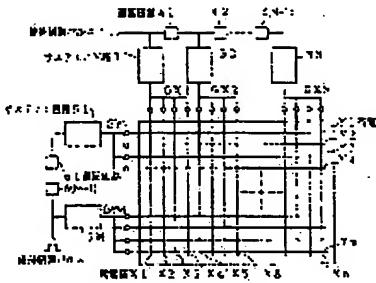
(72)Inventor : YOSHIKAWA KAZUO
OTSUKA AKIRA

(54) PLASMA DISPLAY PANEL DRIVING METHOD AND ITS CIRCUIT

(57)Abstract:

PURPOSE: To prevent a malfunction due to a maintenance pulse by dividing either of row and column electrodes into plural groups and delaying the leading time of maintenance pulses impressed on the respective groups of electrodes.

CONSTITUTION: When the maintenance control pulses are periodically supplied to the input terminal of a sustain ST circuit 31, they are sequentially delayed by delay circuits 41 to 4(N-1) by (td) minutes and supplied to the input terminals of ST circuits 32-3N. Accordingly, on the groups of the column electrodes GX1, GX2..., the maintenance pulses whose leading times are different by td in the adjacent groups are impressed. Therefore, the peak times of displacement and discharge currents flowing to the groups GX1-GXN are different by the time td in the adjacent groups. Then, the peak value of the displacement and discharge currents flowing to all the column electrodes is decreased. Similarly to row electrodes Y, the outputs of delay circuits 61 to 6(M-1) are supplied to the input terminals of adjacent ST circuits in the ST circuits 51-5M.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

平2-29779

⑫ Int.Cl.⁵

G 09 G 3/28

識別記号

府内整理番号

6376-5C

⑬ 公開 平成2年(1990)1月31日

審査請求 未請求 請求項の数 5 (全9頁)

⑭ 発明の名称 プラズマディスプレイパネル駆動方法及びその回路

⑮ 特願 昭63-180955

⑯ 出願 昭63(1988)7月20日

⑰ 発明者 吉川 和生 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑰ 発明者 大塚 晃 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑰ 代理人 弁理士 井桁 貞一 外2名

明細書

1. 発明の名称

プラズマディスプレイパネル駆動方法及びその回路

2. 特許請求の範囲

1). 誘電体に被われた複数の行電極(Y₁-Y_n)と複数の列電極(X₁-X_n)とが互いに対向して交差するよう配設され、該交差部分に放電セルが形成されたメモリタイプ・プラズマディスプレイパネルの駆動方法において、

該行電極(Y₁-Y_n)及び該列電極(X₁-X_n)の少なくとも一方を複数のグループ(GY₁-GY_M, GX₁-GX_N)に分割し、各グループの電極に印加する維持パルスの立ち上がり時間をずらしたことを特徴とするプラズマディスプレイパネル駆動方法。

2). 前記ずらし時間は、隣合う前記グループについて0.3μs以下であることを特徴とする請求項1記載のプラズマディスプレイパネル駆動方法。

3). 誘電体に被われた複数の行電極(Y₁-Y_n)と複

数の列電極(X₁-X_n)とが互いに対向して交差するよう配設され、該交差部分に放電セルが形成されたメモリタイプ・プラズマディスプレイパネルの駆動回路において、

複数のグループに分割された該行電極または該列電極の該グループ(GY₁-GY_M, GX₁-GX_N)毎に設けられ、入力端子に供給される制御パルスに応答して、共通の維持パルスを該グループ内の各電極に供給するサスティン回路(S1-SM, S1-SN)と、

該行電極または該列電極についての隣合う該サスティン回路の該入力端子間に接続された遅延回路(61-6(M-1), 41-4(N-1))とを有し、

該行電極または該列電極について、1つの該サスティン回路の該入力端子に該制御パルスを供給することにより、該遅延回路を介し順次遅延された制御パルスを他の各サスティン回路の該入力端子に供給するようにしたことを特徴とするプラズマディスプレイパネル駆動回路。

4). 1つの半導体集積回路(71)内に、1つの前記グループに対する前記サスティン回路(31)と、

入力端子が該サスティン回路の該入力端子に接続された1つの前記遅延回路(41)とを設け、

該サスティン回路(31)の該入力端子(11a)と該遅延回路(41)の出力端子(71b)とを該半導体装置回路(71)の外部端子としたことを特徴とする請求項3記載の、プラズマディスプレイパネル駆動回路。5).誘電体に被われた複数の行電極と複数の列電極とが互いに対向して交差するように配設され、該交差部分に放電セルが形成されたメモリタイプ・プラズマディスプレイパネルの駆動方法において、該行電極及び該列電極に印加する維持パルスの立ち上がり時間を0.1~0.3μsにしたことを特徴とするプラズマディスプレイパネル駆動方法。

3. 発明の詳細な説明

[目次]

概要

産業上の利用分野

従来の技術(第8~11図)

発明が解決しようとする課題

課題を解決するための手段

作用

実施例

第1実施例(第1~3図)

第2実施例(第4図)

第3実施例(第5~7図)

発明の効果

[概要]

誘電体に被われた複数の行電極と複数の列電極とが互いに対向して交差するように配設されたメモリタイプ・プラズマディスプレイパネルの駆動方法及び駆動装置に関するもの。

維持パルスに起因する誤動作を防止することを目的とし、

誘電体に被われた複数の行電極と複数の列電極とが互いに対向して交差するように配設され、該交差部分に放電セルが形成されたメモリタイプ・プラズマディスプレイパネルの駆動方法において、該行電極及び該列電極の少なくとも一方を複数の

グループに分割し、各グループの電極に印加する維持パルスの立ち上がり時間を、好ましくは、隣合う前記グループについて0.3μs以下ずらして駆動方法を構成し、

複数のグループに分割された該行電極または該列電極の該グループ毎に設けられ、入力端子に供給される制御パルスに応答して、共通の維持パルスを該グループ内の各電極に供給するサスティン回路と、該行電極または該列電極についての隣合う該サスティン回路の該入力端子間に接続された遅延回路とを有し、該行電極または該列電極について、1つの該サスティン回路の該入力端子に該制御パルスを供給することにより、該遅延回路を介し順次遅延された制御パルスを他の各サスティン回路の該入力端子に供給するように駆動回路を構成し、

該行電極及び該列電極に印加する維持パルスの立ち上がり時間を0.1~0.3μsにして他の駆動方法を構成する。

[産業上の利用分野]

本発明は、誘電体に被われた複数の行電極と複数の列電極とが互いに対向して交差するように配設されたメモリタイプ・プラズマディスプレイパネルの駆動方法及び駆動装置に関するもの。

[従来の技術]

第8図はメモリタイプ・プラズマディスプレイパネルの横断面構成を示す。

前面ガラス基板1と裏面ガラス基板2の対向面には、それぞれ複数の列電極Xと行電極Yとが設けられている。列電極X及び行電極Yは線電極であり、互いに直交する方向に延びている。前面ガラス基板1および裏面ガラス基板2の対向面にはさらに、列電極X及び行電極Yを被うメモリ用誘電体3、4が被覆されている。誘電体3、4上には、それぞれ劣化防止用の保護膜5、6が被覆されている。保護膜5、6間には、その縫部にスペーサ7が介在されて、放電スペースが形成されている。この放電スペースは、誘電体3、4の周部

に設けられたシールガラス⑧により閉じられており、内部にネオンガス及び若干の稀ガスが混合封入されている。このようにして、列電極Xと行電極Yとの交差部分に放電セルが形成されている。

第9図は、多数の列電極X、行電極Yのうち、列電極X₁、X₂と行電極Y₁、Y₂の交差部分に形成される放電セル11、12、21及び22の領域を示す。また、第10図上部には、これら列電極X₁、X₂及び行電極Y₁、Y₂に印加される駆動電圧の波形を示す。これら波形のうち、行電極Y₁、Y₂については実際の波形の位相を反転したものを見ている。放電セル11～22の電極間に印加される電圧波形は、第10図下部に示す如くなる。図中、点線は、放電により誘電体3、4の表面に帯電された電荷による壁電圧を示す。

プラズマディスプレイパネルを駆動する動作は図示の如く、書き込み動作、消去動作及び維持動作からなり、各動作に対応して、書き込みパルス、消去パルス及び維持パルスを必要とする。

書き込みパルスの高さは放電開始電圧V_s以上

であり、放電により誘電体3、4間に前記壁電圧を生成する。電極間に印加された電圧による電界の方向と、壁電圧による電界の方向は逆であり、次にこの書き込みパルスと逆位相の維持パルスを供給すると、両電圧による電界方向が一致し、放電開始電圧V_s以下の維持電圧V_mで放電発光が生ずる。しかし、過去に書き込みパルスが供給されなかった放電セルについては、壁電圧が略零であり、放電発光しない。したがって、すべての放電セルに交流維持パルスを供給することにより、過去に書き込みパルスが供給された放電セルのみを放電発光させることができる。

維持パルスよりも細幅の消去パルスを電極間に印加した場合には、誘電体3、4の表面に帯電した電荷が放電され、その後帶電が行われず、壁電荷が略零になるので、その後維持パルスをこの電極間に供給しても放電発光が生じない。

[発明が解決しようとする課題]

しかし、表示ドット数は例えば640×400ドット

もあり、列電極X及び行電極Yにはそれぞれ同位相の維持パルスを印加していたので、第11図に示す如く、維持パルス立ち上がり後の放電電流のピーク値が大きくなり、維持パルスを作成するための維持電圧(電源電圧)V_mに負のスパイク状ノイズが生じる。このため、維持パルス電圧にもこのノイズが生じて、放電開始電圧V_sの増分よりも最低放電維持電圧V_mの増分の方が大きくなり、すなわち維持電圧V_mのマージンが狭くなり、放電セルの特性のバラツキとの関係で放電セルが誤動作し易いという問題点があった。

また、各放電セルは容量負荷であるので、維持パルスの立ち上がり時にスパイク状の大きな変位電流が流れ、書き消去制御回路で用いられるシフトレジスタ等にノイズを与える誤動作の原因となるという問題点があった。この誤動作は上記放電電流によっても生ずる。

本発明の目的は、上記問題点に鑑み、維持パルスに起因する誤動作を防止することができるプラズマディスプレイパネル駆動方法及びその回路を

提供することにある。

[課題を解決するための手段及びその作用]

(1) この目的を達成するために、本発明に係るプラズマディスプレイパネル駆動方法では、行電極及び列電極の少なくとも一方を複数のグループに分割し、各グループの電極に印加する維持パルスの立ち上がり時間はずらしている。

これにより、各グループ毎の放電電流のピーク時点がずれるので、全放電電流のピーク値が小さくなる。

したがって、維持電圧のマージンが広くなり、放電セルの特性のバラツキとの関係で放電セルが誤動作するのを防止することができる。

また、ノイズに弱いシフトレジスタ等が誤動作するのを防止することができる。

(2) 上記ずらし時間は、隣合うグループについてあまり大きくすると、隣合うグループの電極間に疑似的消去パルスが作成されるので、0.3μs以下であることが好ましい。

(3) 上記方法を実施する駆動回路は次の2要素を備えて構成される。

- ①複数のグループに分割された行電極または列電極の該グループ毎に設けられ、入力端子に供給される制御パルスに応答して、共通の維持パルスを該グループ内の各電極に供給するサスティン回路。
- ②該行電極または該列電極についての隣合う該サスティン回路の該入力端子間に接続された遅延回路。

該行電極または該列電極について、1つの該サスティン回路の該入力端子に該制御パルスを供給すると、該遅延回路を介し順次遅延された制御パルスが他の各サスティン回路の該入力端子に供給される。

(4) 上記駆動回路を半導体集積回路化するには、1つの半導体集積回路内に、1つの前記グループに対する前記サスティン回路と、入力端子が該サスティン回路の該入力端子に接続された1つの前記遅延回路とを設け、該サスティン回路の該入力端子Aと該遅延回路の出力端子Bとを該半導体集

積回路の外部端子とする。

類似、一つの半導体集積回路の出力端子Bを他の半導体集積回路の入力端子Aにカスケード接続することにより、上記駆動回路が構成される。

(5) 本発明に係る他のプラズマディスプレイパネルの駆動方法では、行電極及び列電極に印加する維持パルスの立ち上がり時間を0.1~0.3μsにする。

従来では、維持パルスの立ち上がりが緩やかであると立ち上がりの途中で放電が発生して充分な放電が行われないため、その立ち上がり時間は短いほど良いとされていた。しかし、この立ち上がり時間を0.3μs以下にすれば、維持パルスの立ち上がり後に放電が生じるので、充分な放電が行われ、維持電圧マージンを狭くすることがない。また、立ち上がり時間を0.1μs以上にすれば、立ち上がりが緩やかになるので、電極に流れる変位電流のピーク値が小さくなり、ノイズに弱いソフトレジスタ等が誤動作するのを防止することができる。

[実施例]

以下、図面に基づいて本発明の実施例を説明する。

(1) 第1実施例

第1図はメモリタイプ・プラズマディスプレイパネル駆動回路の要部構成を示す。

このプラズマディスプレイパネルは第8図に示す如く構成されており、 n 本の線状列電極 $X1 \sim Xn$ 及び m 本の線状行電極 $Y1 \sim Ym$ が備えられている。列電極及び行電極は異なる平面上で互いに直交する方向に配置され、 $n \times m$ 個、例えば 840×400 個の放電セルが形成されている。列電極は隣合う4本（実際には、例えば16.0本）の電極の組からなる N 個の第1列電極グループGX1、第2列電極グループGX2...、第N列電極グループGXNに分割されている。

各グループ毎の全端子は、共通にそれぞれサスティン回路31、32...、3Nの出力端子に接続されている。各サスティン回路31~3Nは、

5Vの1個の維持制御パルスに応答して、例えば100Vの1個の維持パルスを出力する。隣合うサスティン回路の入力端子間にには、それぞれ遅延回路41、42...、4(N-1)がその入力端子をサスティン回路31、32...、3(N-1)側に接続されている。

なお、第1図では、奇込駆動回路及び消去駆動回路を図示省略している。

上記構成において、サスティン回路31の入力端子に周期的な維持制御パルスを供給すると、サスティン回路32~3Nの入力端子には、それぞれ遅延回路41~4(N-1)により順次時間t₁遅延された維持制御パルスが供給される。したがって、列電極グループGX1、GX2...にはそれぞれ、第2図に示す如く、隣合うグループについて立ち上がり時間がt₁だけ異なる維持パルスが印加される。このため、列電極グループGX1~GXNに流れる変位電流及び放電電流のピーク時点は、隣合うグループについて時間t₁だけずれ、全列電極に流れる変位電流及び放電電流のピーク値が従来に比

し極めて小さくなる。

すらし時間上は、隣合うグループについてあまり大きくすると隣合うグループの電極間に疑似的消去パルスが作成されるので、 $0.3 \mu s$ 以下であることが好ましい。

行電極についても上記同様であり、行電極Y1～Y_Mは隣合う4本（実際には、例えば200本）の電極の組からなるM個の第1行電極グループGY1、第2行電極グループGY2…、第M行電極グループGYMに分割されている。また、各グループ毎の全端子は、共通にそれぞれサスティン回路S1、S2…、SMの出力端子に接続され、隣合うサスティン回路の入力端子間には、それぞれ遮延回路S1～S(M-1)が接続されている。

第3図はドット数640×400のプラズマディスプレイの列電極及び行電極をグループに分割した場合のグループ分割数と維持電圧マージンとの関係を示す。第3図では、（グループ分割数） = （行電極分割数） = （列電極分割数）である。また、維持電圧マージンとは、書き込みを行っていない

放電セルに電圧を加えたときに放電が開始する放電開始電圧V₁と、書き込みを行った放電セルに維持パルスを供給して放電を維持するための最低放電維持電圧V₂との差をいう。このV₁及びV₂は各放電セルについてバラツキがあるので、維持電圧マージンが狭いと電源電圧の変動等により誤動作が生ずる原因となる。

図示の如く、グループ分割数が2以上の場合には充分なマージンが得られることが解る。グループ分割数をあまり多くすると構成が複雑になるので、好ましいグループ分割数は2～3である。また、この程度の分割数で放電電流のピーク値を充分小さくしてノイズに弱いシフトレジスタ等の誤動作を防止することができる。

(2) 第2実施例

第4図はメモリタイププラズマディスプレイベネル駆動回路の要部構成を示す。この第2実施例では、回路自体は第1図と同一であるが、駆動回路を半導体集積回路で構成するために次のような工夫をしている。

すなわち、サスティン回路S1と遮延回路S1'を1つの半導体集積回路71内に備え、サスティン回路S1の入力端子と遮延回路S1'の入力端子とを共通にして外部入力端子71aに接続し、遮延回路S1'の出力端子を外部出力端子71bに接続している。

このサスティン回路S1は、レベルシフタS1aと、ベースがレベルシフタS1aの出力端子に接続されたPnP型トランジスタS1b及びNPN型トランジスタS1cとからなる。PnP型トランジスタS1bのエミッタは維持電圧電源端子に接続され、NPN型トランジスタS1cのエミッタはアースされ、PnP型トランジスタS1b及びNPN型トランジスタS1cのコレクタは共通に外部出力端子71bに接続されている。この外部出力端子71bは、列電極X1に接続されている。

レベルシフタS1aに1個の維持制御パルスを供給すると、PnP型トランジスタS1bに1個のスイッチングパルスが供給された後、NPN型トランジスタS1cに1個のスイッチングパルスが供

給されて、外部出力端子71cに図示のような1個の維持パルスが取り出される。

半導体集積回路72についても半導体集積回路71と同一構成であり、半導体集積回路71の構成要素S1a～S1c、41、71a～71cに対応する構成要素にそれぞれ符号S2a～S2c、42、72a～72cを付してその説明を省略する。

半導体集積回路71の出力端子71bは半導体集積回路72の入力端子72aにカスケード接続され、図示しない半導体集積回路についても以下同様のカスケード接続が行われ、第1図と同一構成にされる。

なお、半導体集積回路71、72…には書き込みパルスや消去パルスを作成する駆動回路及びこれらにデータ信号を供給するシフトレジスタ等が内蔵されている。

(3) 第3実施例

第5図は放電セル1-1についてのサスティン回路を示す。このサスティン回路S1Aでは、第4

図のサスティン回路32に加えて、PEP型トランジスタ31とのエミッタ・コレクタ間にダイオード81が並列接続され、NPN型トランジスタ31cのエミッタ・コレクタ間にダイオード82及びコンデンサ83が並列接続されている。ダイオード81及び82は、列電極X1の電位が維持電圧V_H以上又は0V以下になるのを防止するためのものである。行電極Y1に接続されるサスティン回路51Aもサスティン回路31Aと同様の構成であり、第5図では1つのボックスで示してある。他の点については第1図と同一構成である。

上記構成において、サスティン回路31Aのレベルシフタ31eに維持制御パルスを供給すると、列電極X1には維持パルスが供給されるが、放電セル11に並列にコンデンサ83が接続されているので、変位電流は列電極X1のみならずコンデンサ83にも分配され、したがって、第6図に示す如く、維持パルスの立ち上がり時間t_rが従来よりも長くなり、ノイズの発生を防止することができる。

一群に分割し、各グループの電極に印加する維持パルスの立ち上がり時間をずらしているので、各グループ毎の放電電流のピーク時点がずれ、全放電電流のピーク値が小さくなり、したがって、維持電圧のマージンが広くなり、放電セルの特性のバラツキとの関係で放電セルが誤動作するのを防止することができるとともに、ノイズに弱いシフトレジスタ等が誤動作するのを防止することができるという優れた効果を奏する。

本発明に係る他のプラズマディスプレイベネルの駆動方法によれば、行電極及び列電極に印加する維持パルスの立ち上がり時間を0.1～0.3μsにしているので、維持電圧マージンを狭くすることなく、電極に流れる変位電流のピーク値を小さくすることができ、ノイズに弱いシフトレジスタ等が誤動作するのを防止することができるという優れた効果を奏する。

4. 図面の簡単な説明

第1図乃至第3図は本発明の第1実施例に係り、

第7図は維持パルス立ち上がり時間t_rと維持電圧マージンとの関係を示す。t_r>0.3μsでは、維持パルスの立ち上がりの途中で放電が生じるので、維持電圧マージンが狭くなる。また、t_r<0.1μsでは、維持パルスの急峻な立ち上がりによりノイズを発生させ、上記シフトレジスタ等が誤動作するので好ましくない。したがって、維持パルス立ち上がり時間t_rの好ましい範囲は0.1μs< t_r < 0.3μsである。

なお、コンデンサ83の代わりに、列電極X1に抵抗器を直列接続して維持パルスの立ち上がりを緩やかにすることも考えられるが、この抵抗器に流れる電流により電圧降下が生じて維持電圧が低下し、第7図に示す維持電圧マージンが狭くなるので好ましくない。

[発明の効果]

以上説明したように、本発明に係るプラズマディスプレイベネルの駆動方法及び駆動回路によれば、行電極及び列電極の少なくとも一方を複数のグル

ープに分割し、各グループの電極に印加する維持パルスの立ち上がり時間をずらしているので、各グループ毎の放電電流のピーク時点がずれ、全放電電流のピーク値が小さくなり、したがって、維持電圧のマージンが広くなり、放電セルの特性のバラツキとの関係で放電セルが誤動作するのを防止することができるとともに、ノイズに弱いシフトレジスタ等が誤動作するのを防止することができるという優れた効果を奏する。

第1図はメモリタイプ・プラズマディスプレイベネルの要部駆動回路図、

第2図は第1図に示す列電極グループGX1～GX3に印加される維持パルスのタイムチャート、

第3図は電極のグループ分割数と維持電圧マージンとの関係を示す図である。

第4図は本発明の第2実施例に係るメモリタイプ・プラズマディスプレイベネルの要部駆動回路図である。

第5図乃至第7図は本発明の第3実施例に係り、第5図はセル11についてのサスティン回路図、第6図は第5図に示す回路についての維持パルス及び放電発光パルスの波形図、

第7図は維持パルス立ち上がり時間と維持電圧マージンとの関係を示す線図である。

第8図乃至第11図は従来例に係り、

第8図はメモリタイプ・プラズマディスプレイベネルの横断面構成図、

第9図は第8図の列電極X1、X2と行電極Y1、Y2間に形成される放電セルの領域を示す図、

第10図は第9図に示す電極に印加される駆動バルス及び放電セルの電極間に印加される駆動バルスのタイムチャート。

第11図は従来例の問題点を説明する波形図である。

図中、

3、4は誘電体

11、12、21、22は放電セル

31～3N、31A、51～5N、51Aはサスティン回路

31a、32aはレベルシフタ

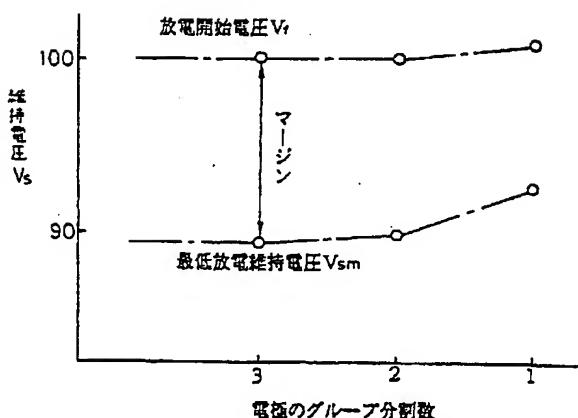
41～4N、61～6Nは遅延回路

71、72は半導体累積回路

GX1～GXNは列電極グループ

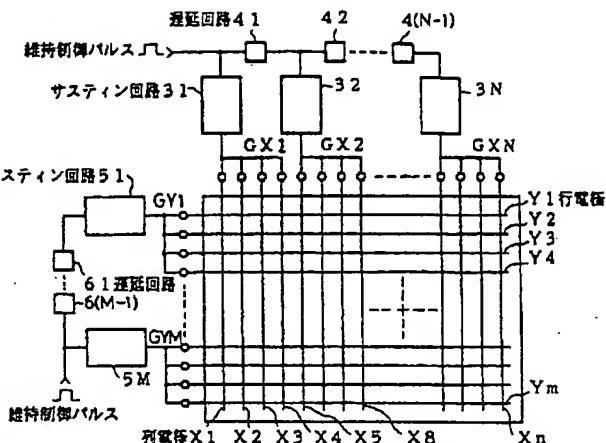
GY1～GYMは行電極グループ

代理人弁理士井桁貞(2名)

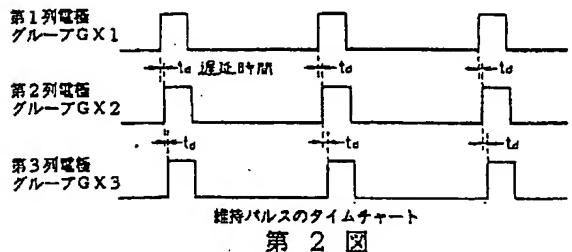


グループ分割数と維持電圧マージンとの関係

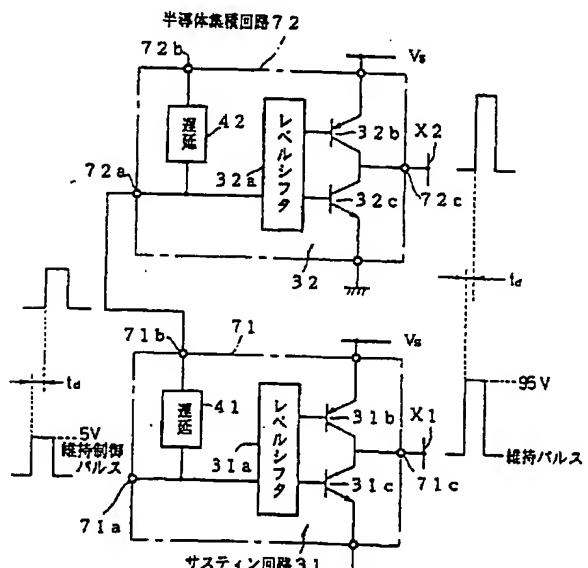
第3図



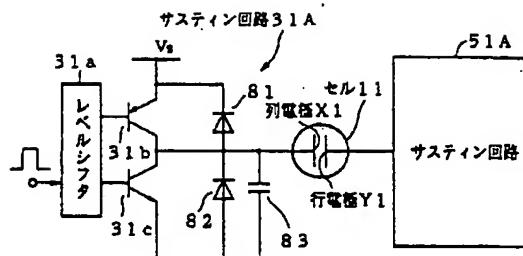
第1図
プラズマディスプレイパネルの要部駆動回路



第2図
維持パルスのタイミングチャート

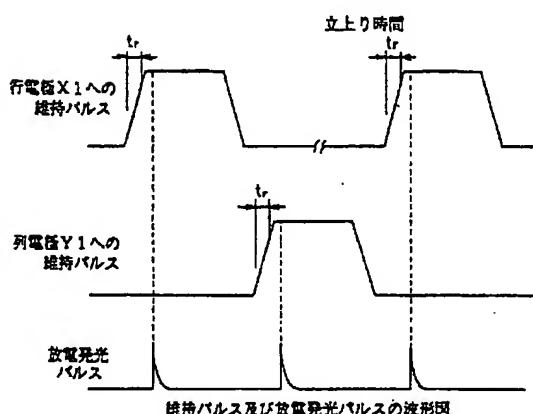


第4図
プラズマディスプレイパネルの要部駆動回路

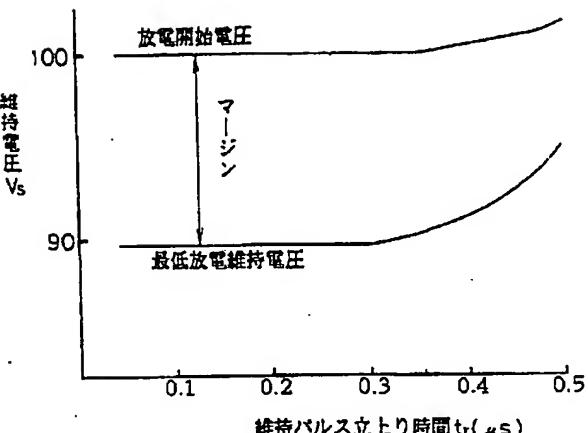


放電セル11についてのサスティン回路

第5図

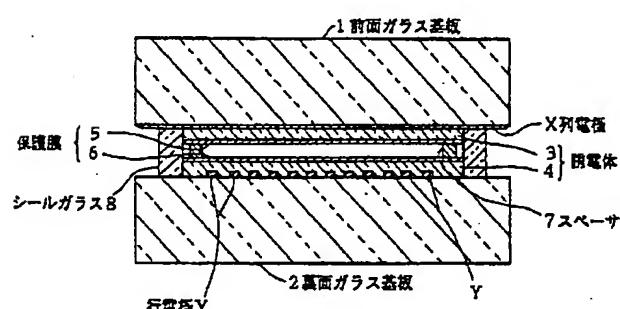


第6図



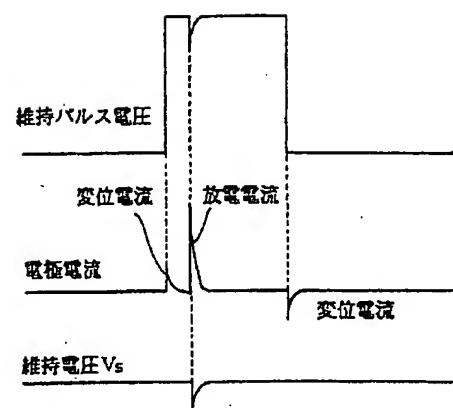
維持パルス立上り時間と維持電圧マージンとの関係

第7図



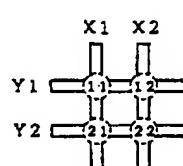
メモリタイプ・プラズマディスプレイパネルの横断面構成図

第8図



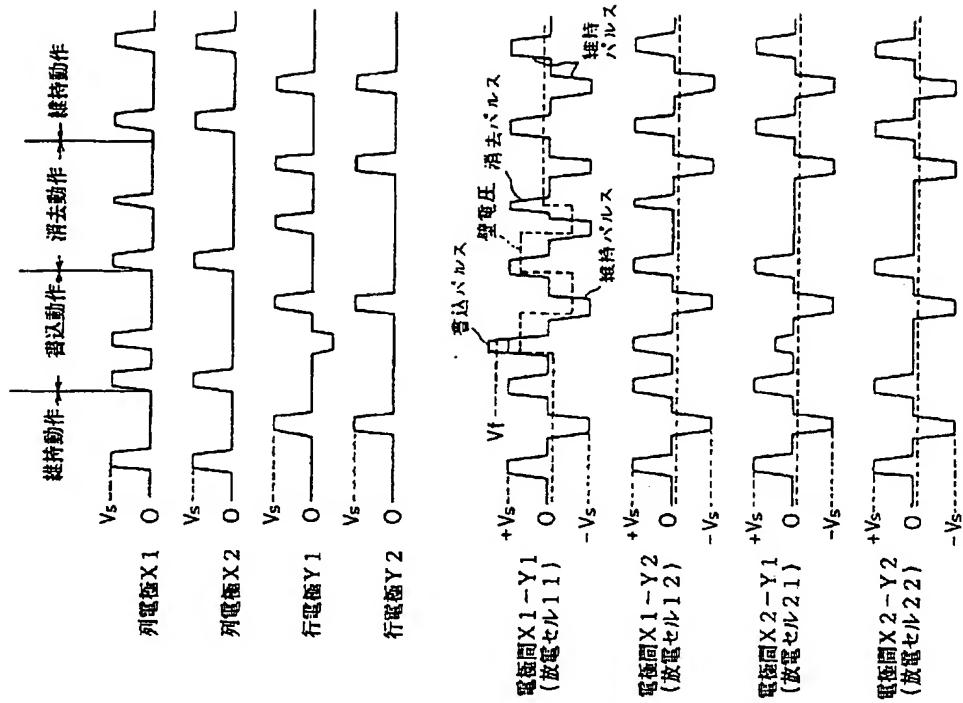
従来例の問題点を説明する波形図

第11図



電極交差部分に形成される放電セルの領域

第9図



第9図に示す電極間に印加される駆動パルス及び放電セルの電極間に印加される駆動パルスのタイムチャート

第10図